

CONCISE EXPLANATION OF THE RELEVANCE

Japanese Patent Laid-open Publication No. HEI 11-143575 A

The arrangement for reducing skews between clocks of different phases:

5 Dummy blocks are generated and laid out in the vicinity of F/Fs connected to clocks of different phases in such a manner that the number and layout of blocks connected to the clocks become the same as each other, thereby achieving balance buffering of a clock tree inside
10 the same phase. In the case where all of destinations to be connected are dummy blocks, the dummy blocks to be connected and their connections are deleted, thus replacing clock tree buffers with the dummy blocks.



MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11143575

(43) Date of publication of application: 28.05.1999

(51) Int. Cl.

G06F 1/10

(21) Application number: 09311635

(71) Applicant:

NEC CORP

(22) Date of filing: 13.11.1997

(72) Inventor:

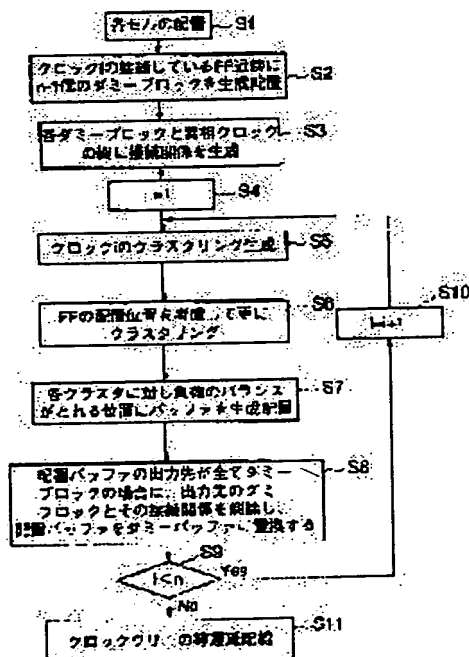
UEMURA MARIKO

(54) CLOCK TREE LAYOUT DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To decrease skews of clocks of different phases while maintaining a delay by generating and arranging dummy blocks in exactly the same number and arrangement positions as the blocks which are connected to the clocks.

SOLUTION: Cells are arranged (S1), and (n-1) pieces of dummy blocks are generated and arranged at a place near the FFs (flip-flops) to which the clocks (i) are connected (S2). Then, connecting relations are established between the dummy blocks and the clocks of different phases (S3). The clocks (i) are clustered (S5) and then clustered again in consideration of arrangement of FFs (S6). The buffers are generated and arranged at the positions where the load balance is secured for every cluster (S7). If the output destinations of buffers are all dummy blocks, these blocks and their connecting relations are deleted, and the arranged buffers are replaced with the dummy buffers (S8). This processing is repeated until $i \geq n$ is satisfied and the equivalent delay wiring is performed for a clock tree (S11).



LEGAL STATUS

(51) Int.Cl.⁴
G 0 6 F 1/10

識別記号

F I
G 0 6 F 1/04

3 3 0 A

審査請求 有 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平9-311635

(22) 出願日 平成9年(1997)11月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 植村 真理子

東京都港区芝五丁目7番1号 日本電気株式会社内

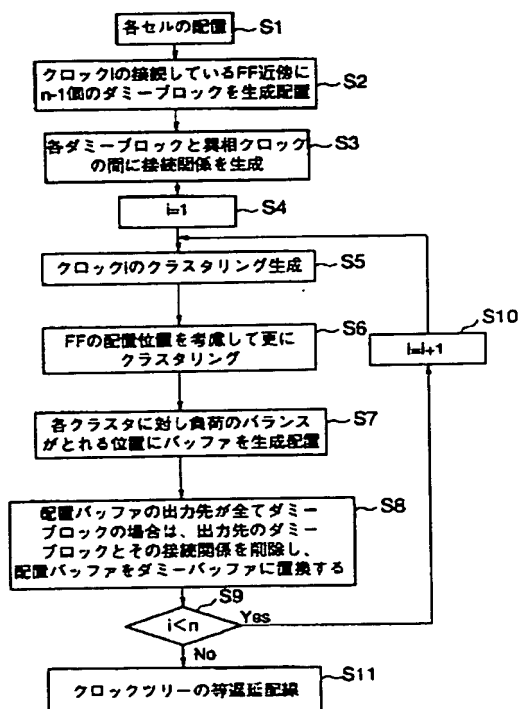
(74) 代理人 弁理士 後藤 洋介 (外1名)

(54) 【発明の名称】 クロックツリーレイアウト装置

(57) 【要約】

【課題】 異相クロック間のクロックスキューを低減する。

【解決手段】 クロックに接続しているブロック数とその配置位置が同じになるように、異相クロックに接続しているF/F近傍にダミーブロックを生成配置し同相内のF/Fおよびダミーブロックの配置位置を考慮しながらクロックツリーのバランスパッファリングを行う。また、接続先がすべてダミーブロックの場合には、接続先のダミーブロックとその接続を削除し、クロックツリーパッファをダミーブロックに置換する。



【特許請求の範囲】

【請求項 1】 複数のクロック信号をチップ内の複数の負荷回路に分配する大規模半導体論理回路に対して、前記クロックの各々の相間の遅延を等しくするためにダミーバッファ及びダミーブロックを生成配置してロックツリーレイアウトを生成する装置であって、予め指定されたクロックと異なる他のクロックに接続されている負荷回路の近傍に前記ダミーブロックを生成する第 1 の手段と、前記予め指定されたクロックと前記ダミーブロックとの接続関係を生成する第 2 の手段とを有することを特徴とするクロックツリーレイアウト装置。

【請求項 2】 請求項 1 に記載されたクロックツリーレイアウト装置において、前記負荷回路はフリップフロップであることを特徴とするクロックツリーレイアウト装置。

【請求項 3】 請求項 1 又は 2 に記載されたクロックツリーレイアウト装置において、さらに、前記各クロック相毎に 1 つずつクラスタを生成して前記各クロック相内の負荷回路及び前記ダミーブロックの配置位置を考慮してさらに複数のクラスタを生成する第 3 の手段を有することを特徴とするクロックツリーレイアウト装置。

【請求項 4】 請求項 3 に記載されたクロックツリーレイアウト装置において、前記複数のクラスタのそれぞれに対して前記負荷回路及び前記ダミーブロックのバランスがとれる位置にバッファを生成配置する第 4 の手段を有することを特徴とするクロックツリーレイアウト装置。

【請求項 5】 請求項 4 に記載されたクロックツリーレイアウト装置において、前記バッファの出力先が全て前記ダミーブロックの場合前記出力先の前記ダミーブロックとの接続関係を削除して前記バッファをダミーブロックに置換する第 5 の手段を有することを特徴とするクロックツリーレイアウト装置。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載されたクロックツリーレイアウト装置において、前記複数のクロック信号はゲーテッドクロック信号であることを特徴とするクロックツリーレイアウト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の設計手法に関し、特にクロックツリーの自動配置装置に関する。

【0002】

【従来の技術】一般に、半導体集積回路の大規模化に伴って、半導体集積回路は同期回路として設計されるようになってきている。このため、いかにしてスキューを低減してクロック分配するかが大きな問題となっている。従来、半導体集積回路のクロック分配として、例えば、特開昭 63-0205720 号公報に記載されたものが知られており、ここでは、異相クロックの遅延差をなくす

ため、等段等負荷を用いている。

【0003】ここで、図 14 を参照して、チップ 106 には第 1 段バッファ 101、第 2 段バッファ 102、第 3 段バッファ 103、及び負荷回路 104 が備えられており、チップ 106 には N 相のクロック T0、T1、…、TN が与えられる。図示のように、各クロック信号 T0 乃至 TN は、第 1 段バッファ 101、第 2 段バッファ 102、及び第 3 段バッファ 103 を介して負荷回路 104 に供給される。

【0004】図示のように、段が同一であれば、いずれの相も同一のバッファ数である。例えば、クロック T0 に関連する第 2 段バッファ 102 とクロック TN に関連する第 2 段バッファ 102 の数は同一であり、3 個である。加えて、段が同一であれば、いずれの相のバッファにおいても 1 個のバッファの負荷容量は同一である。同一の容量にするために、ダミーブロックが用いられる。

【0005】

【発明が解決しようとする課題】ところで、従来の手法では、同一の容量や等長にするために用いられるクロックツリー生成が行われておらず、加えて、相毎のフリップフロップ数が大きく違っていた場合、配置がかたよっていた場合、又はゲーテッドクロックの場合については、クロックツリー生成が考慮されていなかったため、ダミーブロックが多くはいりすぎるという問題点がある。

【0006】つまり、従来の手法では、いずれの相も同一の容量、同一の抵抗のクロックツリーを作ることが難しく、遅延を同一にすることが難しくなってしまう。このため、異相クロックのスキューを低減することが難しいという問題点がある。

【0007】加えて、従来の手法ではダミーブロックが多くなる結果、ゲート規模が増大するばかりでなく消費電力が増大してしまうという問題点がある。

【0008】本発明の目的は異相クロックのスキューを低減することのできるクロックツリーの自動配置装置を提供することにある。

【0009】本発明の他の目的はゲート規模を抑制するとともに消費電力を低減することのできるクロックツリーの自動配置装置を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、複数のクロック信号をチップ内の複数のフリップフロップ等の負荷回路に分配する大規模半導体論理回路に対して、前記クロックの各々の相間の遅延を等しくするためにダミーバッファ及びダミーブロックを生成配置してロックツリーレイアウトを生成する装置であって、予め指定されたクロックと異なる他のクロックに接続されている負荷回路の近傍に前記ダミーブロックを生成する第 1 の手段と、前記予め指定されたクロックと前記ダミーブロックとの接続関係を生成する第 2 の手段と、前記各クロック

相毎に1つずつクラスタを生成して前記各クロック相内の負荷回路及び前記ダミーブロックの配置位置を考慮してさらに複数のクラスタを生成する第3の手段と、前記複数のクラスタのそれぞれに対して前記負荷回路及び前記ダミーブロックのバランスがとれる位置にバッファを生成配置する第4の手段と、前記バッファの出力先が全て前記ダミーブロックの場合前記出力先の前記ダミーブロックとの接続関係を削除して前記バッファをダミーブロックに置換する第5の手段とを有することを特徴とするクロックツリーレイアウト装置が得られる。そして、前記複数のクロック信号としてゲーテッドクロック信号が用いられる。

【0011】

【発明の実施の形態】以下本発明について図面を参照して説明する。

【0012】図1を参照して、本発明によるクロックツリーの自動配置装置は図1に示すフローチャートに応じてクロックツリーを生成配置する。まず、ステップs1で、各セルを配置する。そして、ステップs2で、クロックiが接続しているフリップフロップ(FF)近傍に(n-1)個のダミーブロックを生成配置する。その後、各ダミーブロックと異相クロックとの間に接続関係を生成する(ステップs3)。そして、ステップs4でi=1とする。

【0013】ステップs5において、クロックiのクラスタリングを生成して、ステップs6で、FFの配置位置を考慮してさらにクラスタリングを行う。そして、各クラスタに対して負荷バランスがとれる位置にバッファを生成配置する(ステップs7)。その後、ステップs8において、配置バッファの出力先が全てダミーブロックの場合は、出力先のダミーブロックとその接続関係を削除し、配置バッファをダミーバッファに置換する。そして、ステップs9で、 $i < n$ であるか否かを調べて、 $i < n$ であると、ステップs10で $i = i + 1$ として、ステップs5に戻る。

【0014】一方、ステップs9で、 $i < n$ でなければ、つまり、 $i \geq n$ であれば、ステップs11において、クロックツリーの等遅延配線を行う。

【0015】ここで、図2にクロックC1及びC2の2相を有する回路例を示す。そして、図2に示す回路例に図1に示す処理を適用した場合について、図3乃至図11を参照して説明する。

【0016】まず、各セルを配置する(ステップs1)。この結果、例えば、図3に示すセルの配置が得られる。図4に示すように、クロックC1が接続されるフリップフロップ11の近傍にダミーブロック12を生成し配置する。1個のフリップフロップ毎に生成するダミーブロック数は、クロックの本数が2本の場合には1個、3本の場合には2個、n本の場合には $n - 1$ 個生成し配置する(ステップs2)。

【0017】各ダミーブロックとクロックC2との間に接続関係を生成する(ステップs3)。同様にして、ステップs2において、クロックC2が接続されるフリップフロップ11の近傍にダミーブロック12を生成し配置して、ステップs3において、各ダミーブロックとクロックC1との間に接続関係を生成する。ダミーブロックの生成配置及び接続関係生成後の結果は図4に示すとおりである。

【0018】ステップs5において、クロックC1のクラスタを生成する。そして、ステップs6において、フリップフロップ11及びダミーブロック12の配置位置を考慮して更にクラスタ13を生成する。クロックC1のクラスタリング結果を図5に示す。

【0019】ステップs7において、クラスタ13内の各フリップフロップ11の重心位置に、バッファ14を生成配置する。重心位置におくのは、同相内のクロックスキューをおさえるためである。さらに、各クラスタ13で生成されたバッファ14の重心位置にバッファ15を生成配置する。そして、クロックC1のクロックツリーを構成する。クロックツリー構成の結果を図6に示す。

【0020】ステップs8において、ツリーを構成しているバッファ14、15の出力先が全てダミーブロックの場合には、出力先のダミーブロック12を削除し、そのバッファ14をダミーブロック12に置換する。ダミーブロック12を削除し、バッファ14をダミーブロック12に置換した結果を図7に示す。クロックC2についてもクロックC1と同様のことを行う。

【0021】C2のクラスタリング結果を図8に示す。同様に、クロックツリーの配置を行った後の結果を図9及び図10に示す。図10は、図9のクラスタ線を削除した図である。そして、クロックツリー構成後の回路図を図11に示す。なお、クロック信号としてゲーテッドクロック信号が用いられる。

【0022】次に、本発明の第2の例について説明する。

【0023】図12は、クロック信号を停止するための多入力回路16を有する回路である。図12に示す回路は、低消費電力のためにしばしば使用される。図12に示す回路は、1相クロックC1で動作する。多入力回路16の前段ブロックから全フリップ11群までの遅延を等しくする必要がある。

【0024】まず、多入力回路16の出力それぞれが、クロックであると仮定する。多入力回路がn個あると、クロックがn相あることになる。

【0025】n相のクロックに対するクロックツリー構成を行う際には、図1に示す処理が行われ、多入力回路16とフリップフロップ群11のクロックツリーが構成される。次に、多入力回路16がフリップフロップであると仮定する。1相クロックの等遅延の配置配線手法に

5

よりクロックツリー 17 を構成する。クロックツリー構成後の回路図を図 13 に示す。

【0026】

【発明の効果】以上説明したように、本発明では、クロックに接続されたブロック数とその配置位置が全く同じになるように、ダミーブロックを生成し配置しているので、いずれのクロック相も、同一の容量、同一の抵抗のクロックツリーを生成することができる。このため、遅延量を同一にすることができ、異相クロックのスキューを低減できるという効果がある。

【0027】また、本発明では、不必要のダミーブロックを削除していくため、ゲート規模の増大抑制及び消費電力の抑制ができるという効果がある。

【図面の簡単な説明】

【図 1】本発明によるレイアウト装置の処理を説明するためのフローチャートである。

【図 2】論理回路の一例を示す図である。

【図 3】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 4】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 5】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

6

【図 6】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 7】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 8】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 9】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 10】図 2 に示す論理回路のクロックツリーレイアウトを説明するための図である。

【図 11】図 2 に示す論理回路例においてクロックツリー生成後の回路を示す図である。

【図 12】論理回路の他の例を示す図である。

【図 13】図 12 に示す論理回路においてクロックツリー生成後の回路を示す図である。

【図 14】従来のクロックツリーレイアウトを示す図である。

【符号の説明】

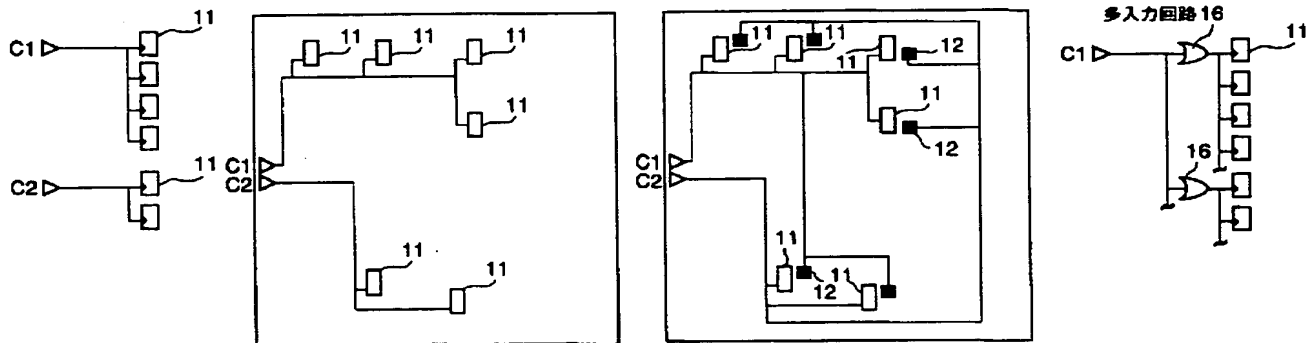
- 11 フリップフロップ
- 12 ダミーブロック
- 13 クラスタ
- 14, 15, 17 クロックツリーバッファ
- 16 多入力回路

【図 2】

【図 3】

【図 4】

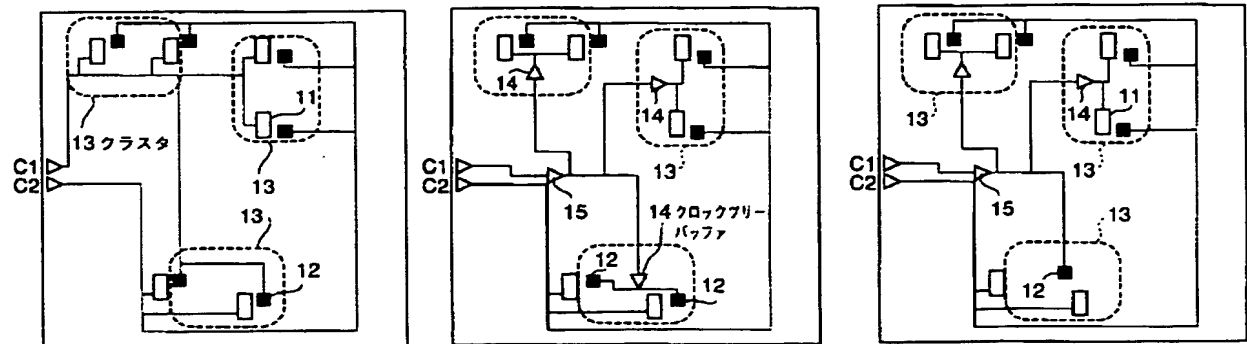
【図 12】



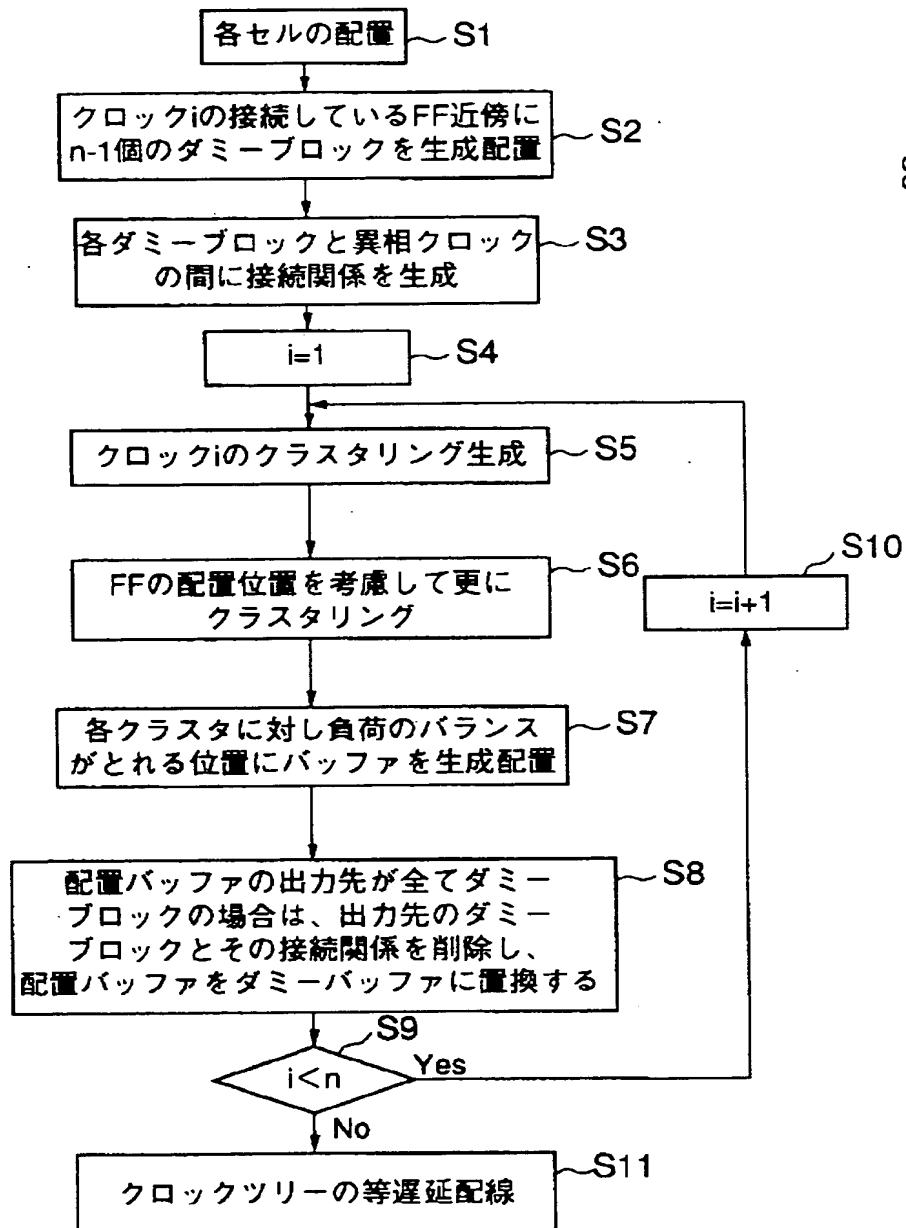
【図 5】

【図 6】

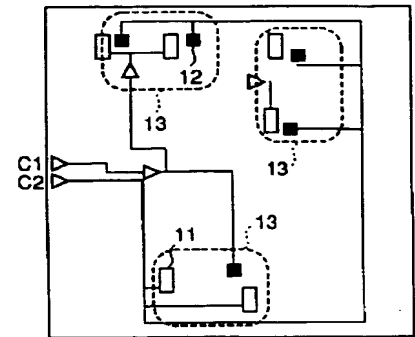
【図 7】



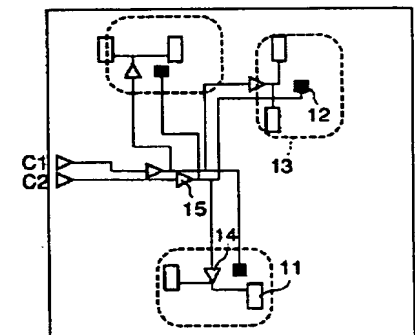
【図1】



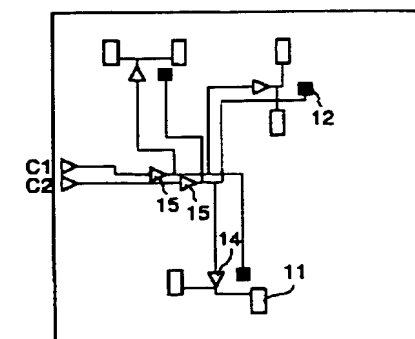
【図8】



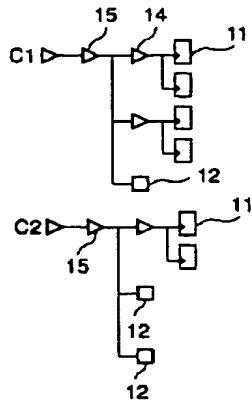
【図9】



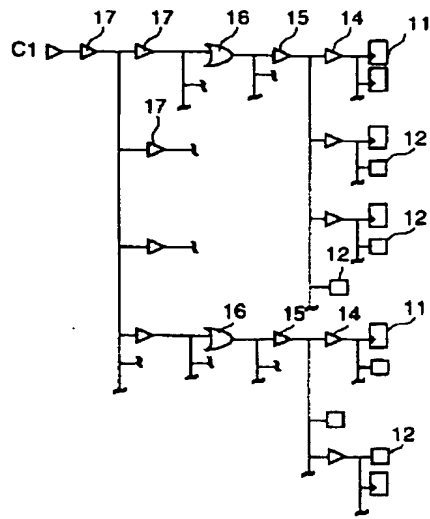
【図10】



【図11】



【図13】



【図14】

